

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報 (A)

昭57-210638

⑤ Int. Cl.³
H 01 L 21/60
H 05 K 1/18

識別記号 庁内整理番号
6819-5F
6240-5F

⑬ 公開 昭和57年(1982)12月24日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 混成集積回路

① 特 願 昭56-94964
② 出 願 昭56(1981)6月18日
⑦ 発 明 者 飛田敏男
尼崎市南清水字中野80番地三菱
電機株式会社生産技術研究所内

⑧ 発 明 者 沢江哲則
尼崎市南清水字中野80番地三菱
電機株式会社通信機製作所内
⑨ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑩ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

混成集積回路

2. 特許請求の範囲

(1) 混成集積回路において

前記混成集積回路の素子が装着される絶縁性基板、

前記絶縁性基板上に形成され、前記集積回路の素子を他の回路などに接続すべき電極部材、

前記電極部材と前記混成集積回路の素子とを接続する接続部材、および

少なくとも前記接続部材を形成すべき部分を除く前記電極部材上に形成され、フォトリソグラフィ処理が可能でありかつ耐熱性の良好な材質から成り、前記混成集積回路の素子と接続部材とを接続する際に接続部材の材質が電極部材上に洩れ込まないように抑止する抑止部材を備えた、混成集積回路。

(2) 前記絶縁性基板は、セラミックスを用いたことを特徴とする、特許請求の範囲第(1)項記載の混

成集積回路。

(3) 前記抑止部材は、ポリイミド樹脂を用いたことを特徴とする、特許請求の範囲第(1)項記載の混成集積回路。

(4) 前記電極部材は、それぞれ前記絶縁性基板の中心部を除き、絶縁性基板の各辺に対して垂直方向にかつ絶縁性基板の各辺より短く形成されることを特徴とする、特許請求の範囲第(1)項記載の混成集積回路。

(5) 前記接続部材は、はんだから成り、前記絶縁性基板の中心側の前記電極部材上に形成されることを特徴とする、特許請求の範囲第(1)項記載の混成集積回路。

(6) 前記抑止部材は、前記絶縁性基板の中心部上および前記接続部材が形成すべき部分を除く前記電極部材上に形成されることを特徴とする、特許請求の範囲第(1)項または第(3)項記載の混成集積回路。

3. 発明の詳細な説明

この発明は混成集積回路に関し、特にチップ部

品を内蔵する混成集積回路に関する。

従来、セラミックなどの絶縁性基板上に形成された電極導体にフリップチップ集積回路(以下フリップチップICと称す)、チップコンデンサ、およびチップ抵抗などのチップ部品をはんだで取付けた混成集積回路は高密度化に対する要求が益々増大している。特に、フリップチップICの高密度化に伴ない電極導体への実装法が最も重要な問題となる。

第1図は従来の混成集積回路の構造の断面図を示す。第2図は第1図の混成集積回路の構造のA-A線部の平面図を示す。構成において、混成集積回路10は絶縁性基板11、電極部材の一例の電極導体12、抑止部材の一例のダム13、および接続部材の一例のはんだパンパ14、およびフリップチップIC15から構成される。絶縁性基板11はセラミックから成る。電極導体12は絶縁性基板11上に形成され、絶縁性基板11のほぼ中心部を除いて絶縁性基板11の各辺に対して垂直方向にかつ絶縁性基板11の各辺より短くそ

れぞれ設けられる。ダム13はそれぞれの電極導体12上のほぼ中心にある幅および高さをもつて棒状に形成される。はんだパンパ14は絶縁性基板11の中心側の電極導体12上に形成される。フリップチップIC15ははんだパンパ14上に設けられる。また、ダム13はフリップチップIC15をリフロー・ソルダー法で電極導体12上に取付ける際、はんだパンパ14が電極導体12上の外側に対して過剰に流れることを抑止するために設けられる。

電極導体12およびダム13は導電性ペーストおよびガラスペーストを用いてスクリーン印刷などの手法で製造される。はんだパンパ14はスクリーン印刷法、メッキ法、およびはんだ浸漬法などの手法で製造される。

上述のような構造の混成集積回路を製造する場合、ダム13はガラスペーストのレオロジーおよびガラスペーストと電極導体12との濡れ性などに起因して微細パターンを生産性良く形成することが極めて困難である。特に、このことは絶縁性

基板11上に多数箇のフリップチップIC15を実装するときに極めて大きな問題であつた。また、ガラスペーストはベルト炉などにより400℃～600℃の温度で焼成されダム13上に形成される。このため、ダム13周辺の電極導体12上に少量のガラスが飛散し電極導体12のはんだ濡れ性が劣化する。この結果、はんだパンパ14は電極導体12上に取付けにくくなり、フリップチップIC15の電極導体12上への取付けが不安定になり易いという欠点があつた。

それゆえに、この発明の目的は、ガラスペーストと電極導体との濡れ性および電極導体のはんだ濡れ性の劣化を防止し、高密度のチップ部材を生産性良く実装できかつ信頼性の高い混成集積回路を提供することである。

この発明は要約すれば、絶縁性基板11上に形成された電極導体の中心部分にポリミド樹脂を用いてフォトリソ法ではんだ流れ抑止用のダムを設けるようにしたものである。

以下に、図面を参照してこの発明の実施例に

ついて説明する。

第3図はこの発明の一実施例の混成集積回路の構造の断面図を示す。第3図において、第1図と同一符号は同一あるいは相当する部分を示す。構成において、この実施例が第1図と異なる点は、ダム13がポリミド樹脂から成り、絶縁性基板11上の中心部およびはんだパンパ14が形成すべき部分を除く電極導体12上に形成されたことである。

より具体的に説明すると、絶縁性基板11上には電極導体12が従来と同様にスクリーン印刷法で形成される。次に、絶縁性基板11の中心部およびはんだ・パンパ14が形成すべき部分を除く電極導体12上近傍には、フォトリソ法処理が可能でありかつはんだ耐熱性の良好なポリミド樹脂が塗布される。絶縁性基板11および電極導体12上に塗布されたポリミド樹脂が硬化した後、フォトリソ法処理により電極導体12の端子部31およびはんだパンパ14に対応する部分に穴明けが行なわれ、ダム13が形成される。

そしてはんだバンプ14は従来と同様にたとえばスクリーン印刷法により形成され、フリップチップ1C15がリフロー・ソルダー法により取付けられる。

なお、上述の実施例ではポリミド樹脂を用いてフォトリソ処理によりダム13を形成したが、これに限らず感光性樹脂を用いて形成しても良い。

このように、集成集積回路においてはダムがポリミド樹脂から成りフォトリソ処理により形成されるため、たとえば、はんだバンプ14の直径が $100\mu\text{m} \sim 200\mu\text{m}$ 、そのピッチが $200\mu\text{m} \sim 400\mu\text{m}$ 、はんだバンプ14の数が30以上に形成され、高密度のフリップチップ1Cを極めて容易に実装することができるという利点がある。また、ポリミド樹脂を用いたダムは $100^\circ\text{C} \sim 300^\circ\text{C}$ の低い温度で形成されかつ化学的に安定であるため、絶縁基板上にスクリーン印刷法で形成された抵抗体およびコンデンサなどにより成る回路と接触させるような悪影響を与えないという利点がある。

ある。

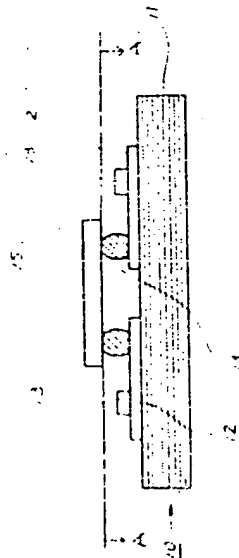
以上のように、この発明によれば、ガラスペーストと電極導体との濡れ性および電極導体のはんだ濡れ性の劣化を防止し、高密度のチップ部材を生産性良く実装できかつ信頼性の高い集成集積回路を極めて小形化できるという効果が得られる。

4、図面の簡単な説明

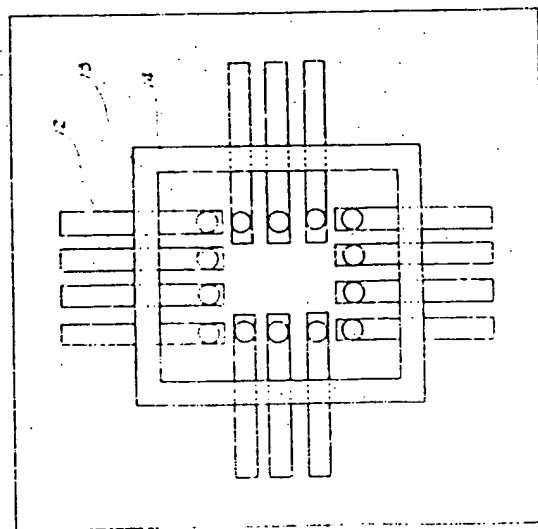
第1図は従来の集成集積回路の構造の断面図を示す。第2図は第1図の集成集積回路の構造のA-A線部の平面図を示す。第3図はこの発明の一実施例の集成集積回路の構造の断面図を示す。

図において、10は集成集積回路、11は絶縁性基板、12は電極導体、13はダム、14ははんだバンプ、15はフリップチップ1Cを示す。

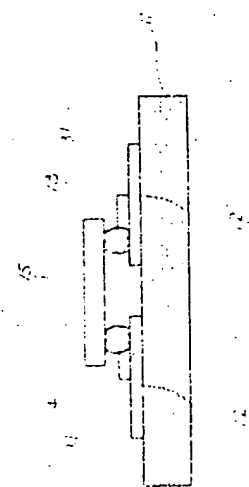
代理人 葛 野 信 一(外1名)



第1図



第2図



第3図